

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-334139

(43)Date of publication of application : 02.12.1994

(51)Int.CI.

H01L 27/10
G11C 17/06

(21)Application number : 05-139412

(71)Applicant : SONY CORP

(22)Date of filing : 18.05.1993

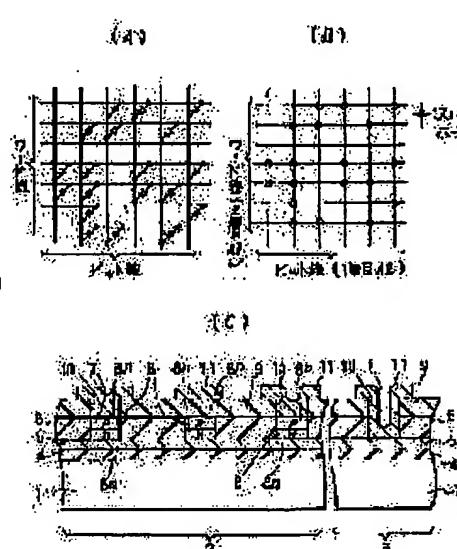
(72)Inventor : SHINGU MASATAKA
ITO SHINICHI

(54) READ-ONLY MEMORY AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To increase the integration degree of a read-only memory and to shorten the time elapsed until the memory is completed since the decision of a storage content.

CONSTITUTION: Through holes 7 are formed in a first interlayer insulating film 6 on a first-layer aluminum interconnection film 5, diodes are formed in the individual through holes 7, a second interlayer insulating film 9 is formed on the first interlayer insulating film 6, and a second-layer aluminum interconnection film 11 which is connected to the diodes is formed via through holes 10 formed in the second interlayer insulating film 9 on the basis of a storage content.



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-334139

(43)公開日 平成6年(1994)12月2日

(51)Int.Cl.
H01L 27/10
G11C 17/06

識別記号
431
序内整理番号
7210-4M

F I

技術表示箇所

G11C 17/06

D

審査請求 未請求 請求項の数4 FD (全6頁)

(21)出願番号 特願平5-139412

(22)出願日 平成5年(1993)5月18日

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 新宮 正孝
東京都品川区北品川6丁目7番35号 ソニー
株式会社内

(72)発明者 伊藤 信一
東京都品川区北品川6丁目7番35号 ソニー
株式会社内

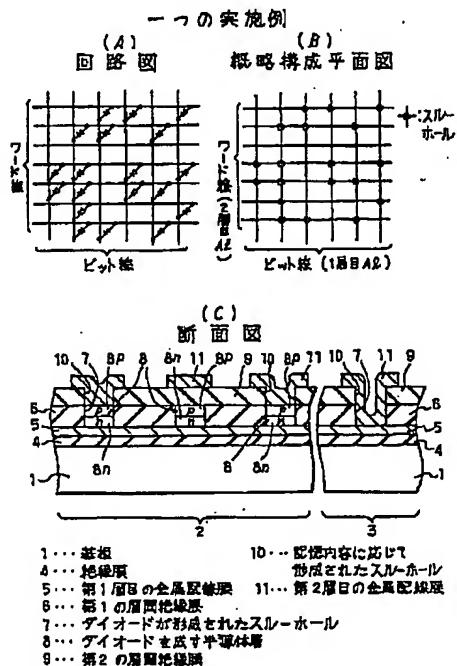
(74)代理人 弁理士 尾川 秀昭

(54)【発明の名称】 読出し専用メモリとその製造方法

(57)【要約】

【目的】 読出し専用メモリの集積度を高くし且つ記憶内容の決定からメモリの完成までの期間の短縮を図ることができるようとする。

【構成】 第1層目のアルミニウム配線膜5上の第1の層間絶縁膜6にスルーホール7を形成し、各スルーホール7にダイオードを形成し、第1の層間絶縁膜6上に第2の層間絶縁膜9を形成し、該第2の層間絶縁膜9に記憶内容に基づいて形成したスルーホール10を介して上記ダイオードと接続される第2層目のアルミニウム配線膜11を形成する。



1

【特許請求の範囲】

【請求項1】 基板上に配線膜が多数並設され、上記配線膜上に第1の層間絶縁膜が形成され、上記第1の層間絶縁膜に上記配線膜表面を露出させるスルーホールが各配線膜毎に多数所定間隔をおいて形成され、上記各スルーホール毎にダイオードが形成され、上記第1の層間絶縁膜上に第2の層間絶縁膜が形成され、上記第2の層間絶縁膜に記憶すべき内容に応じて選択されたダイオードを露出させるスルーホールが形成され、上記第2の層間絶縁膜上に、上から見て上記配線膜と交差し上記ダイオードを介して該配線膜と接続される金属配線膜が多数形成されてなることを特徴とする読出し専用メモリ

【請求項2】 各ダイオードが、第1の層間絶縁膜のスルーホール内の半導体層にp-n接合を形成することにより構成されていることを特徴とする請求項1記載の読出し専用メモリ

【請求項3】 各ダイオードが、第1の層間絶縁膜のスルーホール内の半導体層と、該第1層間絶縁膜の下側の又は第2の層間絶縁膜の上側の配線膜との間に形成されたショットキーバリアダイオードからなることを特徴とする請求項1記載の読出し専用メモリ

【請求項4】 基板上に配線膜を形成する工程と、上記配線膜の表面に第1の層間絶縁膜を形成する工程と、

上記第1の層間絶縁膜に上記配線膜の表面を露出させるスルーホールを形成する工程と、

CVDにより上記各スルーホールを埋めダイオードを成す半導体層を形成する工程と、

上記第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、

上記第2の層間絶縁膜に記憶内容に対応したダイオードを露出させるスルーホールを形成する工程と、

上記第2の層間絶縁膜上に上記配線膜と上から見て交差し上記ダイオードを介して接続される金属配線膜を形成する工程と、

を少なくとも有することを特徴とする請求項1、2又は3記載の読出し専用メモリを製造する読出し専用メモリの製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、読出し専用メモリ、特に高集積化が可能で且つ記憶内容の決定からメモリの完成までの期間の短縮を図ることのできる読出し専用メモリと、その製造方法に関する。

【0002】

【従来の技術】 読出し専用メモリとして特開平1-185899号に記載されたものがある。この読出し専用メモリは、P型多結晶シリコンと、該P型多結晶シリコンと交差するように配置されたN型多結晶シリコンとを有し、前記P型多結晶シリコンと前記N型多結晶シリコンをダイオード結合させるためのコンタクトの有無によりデータを記憶するようにしたものである。

2

モリは、P型多結晶シリコンと、該P型多結晶シリコンと交差するように配置されたN型多結晶シリコンとを有し、前記P型多結晶シリコンと前記N型多結晶シリコンをダイオード結合させるためのコンタクトの有無によりデータを記憶するようにしたものである。

【0003】

【発明が解決しようとする課題】 このような読出し専用メモリによれば、各スルーホールにメモリセルを成すダイオードを形成することができるので、高集積化を図ることができるが、記憶内容の決定からメモリの完成までの期間の短縮を図ることに限界がある。

【0004】 というの、この技術によれば、記憶内容の決定後にメモリセルを成すダイオードを形成し、その後にアルミニウム配線膜その他の金属配線膜を形成する必要があるからである。特に、ダイオードの形成に必要な工程数は多く、更にマイクロコンピュータ等に用いられるマスクROM等においては高集積化の要求が強いので、将来においてはダイオード形成後に形成されるアルミニウム配線膜が二層あるいは三層必要となってくる。従って、記憶内容の決定後にダイオードを形成し、多層のアルミニウム配線膜を形成することは、記憶内容の決定からメモリの完成までの期間の短縮を図ることを阻む原因となり、その期間を少しでも多く短縮する必要に迫られていたのである。

【0005】 本発明はこのような問題点を解決すべく為されたものであり、読出し専用メモリの記憶内容の決定からメモリの完成までの期間の短縮を図ることができるようすることを目的とする。

【0006】

【課題を解決するための手段】 請求項1の読出し専用メモリは、金属配線膜上の第1の層間絶縁膜に該配線膜を露出させるスルーホールを形成し、各スルーホール毎にダイオードを形成し、第1の層間絶縁膜上に第2の層間絶縁膜を形成し、記憶内容に基いて該層間絶縁膜にスルーホールを形成し、該スルーホールを介して上記ダイオードと接続される金属配線膜を形成してなることを特徴とする。請求項2の読出し専用メモリは、請求項1の読出し専用メモリにおいて、ダイオードがスルーホールを埋める半導体層により形成されたことを特徴とする。

【0007】 請求項3の読出し専用メモリは、請求項1の読出し専用メモリにおいて、ダイオードがスルーホールを埋める半導体と金属配線膜とによるショットキーダイオードからなることを特徴とする。請求項4の読出し専用メモリの製造方法は、請求項1、2又は3記載の読出し専用メモリの製造方法において、基板上の配線膜の表面に層間絶縁膜を形成する工程と、該層間絶縁膜に金属配線膜の表面を露出させるスルーホールを形成する工程と、該各スルーホールを埋めダイオードを成す半導体層を形成する工程と、上記層間絶縁膜上に第2の層間絶縁膜を形成する工程と、記憶内容に対応したダイオード

を露出させるスルーホールとを上記第2の層間絶縁膜に形成する工程と、金属配線膜を形成する工程とを少なくとも有することを特徴とする。

【0008】

【作用】本発明によれば、基板上の配線膜を覆う層間絶縁膜のスルーホールにダイオードを形成し、その層間絶縁膜上に第2の層間絶縁膜を形成し該第2の層間絶縁膜にダイオードと上層の金属配線膜との間を接続するスルーホールを形成することによりビット線とワード線の交点となるすべての部分にダイオードを形成し、更に第2の層間絶縁膜を形成した状態で記憶内容の決定を待ち、記憶内容の決定後、第2の層間絶縁膜の記憶内容に応じた交点のみエッチングすることによりスルーホールを形成し、その後上層の金属配線膜を形成することにより読み出し専用メモリの製造ができる。従って、記憶内容決定前にダイオードを形成しておくことができるので、記憶内容の決定からメモリの完成までの期間の短縮を図ることができる。

【0009】

【実施例】以下、本発明読み出し専用メモリとその製造方法を図示実施例に従って詳細に説明する。図1 (A) 乃至 (C) は本発明読み出し専用メモリの一つの実施例を示すもので、(A) は回路図、(B) は概略構成平面図、(C) はメモリアレイの一部とロジック回路の一部を示す断面図である。本読み出し専用メモリは図1 (A) に示すようにビット線とワード線との間の交点にダイオードを接続したりしなかったりすることにより記憶するようにしたものであるが、より具体的には各交点にすべてダイオードを設け、ダイオードより上層の層間絶縁膜の交点にあたる部分に図1 (B) に示すようにスルーホールを設けたり設けなかったりすることにより記憶をするようしている。

【0010】次に、図1 (C) に従って読み出し専用メモリの具体的な構造を説明する。図面において、1は半導体基板、2はそのメモリセルアレイ部分、3はロジック回路部分、4は半導体基板1表面を覆う絶縁膜、5は第1層目のアルミニウム配線膜 (1A1) で、メモリセルアレイ部分上にあるものはビット線を成す。尚、暫くはメモリセルアレイ部分の構造のみを説明する。

【0011】6は第1層目のアルミニウム配線膜5上に形成された第1の層間絶縁膜で、第1層目のアルミニウム配線膜5と後で説明ところのワード線を成す第2層目のアルミニウム配線膜 (11) との交点にあたる箇所にはすべてアルミニウム配線膜5の表面を露出させるスルーホール7、7、…が形成されている。8、8、…は各スルーホール7、7、…内に設けられた例えばアモルファスシリコンからなる半導体層、8pは該半導体層8の上半部に形成されたp型半導体領域、8nは該半導体層8の下半部に形成されたn型半導体領域で、この半導体領域8pと8nにより接合型ダイオードが形成されてい

る。

【0012】9は上記層間絶縁膜6及び半導体層8を覆う第2の層間絶縁膜で、該層間絶縁膜9の記憶内容に対応した交点位置にスルーホール10が形成されている。従って、第1層目と第2層目のアルミニウム配線膜の交点位置にあってもスルーホールが形成されないところもある。11は第2層目の金属配線膜でワード線を成し、スルーホール10を通して上記接合ダイオードのアノードに接続されている。

【0013】尚、ロジック回路部3においてはかかる接合ダイオードがなく、従って第1層目のアルミニウム配線膜5がビット線を成すわけではなく、また、第2層目のアルミニウム配線膜11がワード線をなすわけではない。そして、第1層目のアルミニウム配線膜5と第2層目のアルミニウム配線膜11との電気的接続は、接合ダイオードを介することなくスルーホール10、7内にて直接両アルミニウム配線膜5、11をコンタクトさせることにより行われる。尚、ロジック回路は半導体基板1に形成される図示しないトランジスタ等によっても構成されることはいうまでもない。

【0014】次に図1に示した読み出し専用メモリの製造方法について説明する。図2 (A) 乃至 (E) 及び図3 (A)、(B) はその製造方法を工程順に示す断面図であり、図2 (A) 乃至 (E) は読み出し専用メモリの製造方法の記憶内容決定待ちまでの工程を工程順に示し、図3 (A)、(B) は記憶内容決定後の工程を工程順に示す。

(A) 半導体基板1の絶縁膜4上に第1層目のアルミニウム配線膜5をアルミニウムのスパッタリング、選択的エッチングにより形成し、次に、層間絶縁膜6を例えばCVDにより形成し、その後、該層間絶縁膜6に対して選択的エッチング処理を施すことによりダイオードを形成すべきスルーホール7を形成する。このスルーホール7はビット線とワード線の交点となるすべてのところに形成するのであって、交点のうち特定のものを選択してそこに形成するというものではない。図2 (A) はスルーホール7形成後の状態を示す。

【0015】(B) 次に、例えばプラズマCVDにより、図2 (B) に示すように、アモルファスシリコン層8を形成する。このようにアモルファスのシリコン層8を形成するのは、プラズマCVDによりアルミニウム配線膜5に悪い影響を与えない低い温度で形成することができるからである。勿論、配線膜として耐熱性の強いものを用いれば、ポリシリコン層を形成することもできる。

(C) 次に、図2 (C) に示すように、シリコン層8のスルーホール7以外に存在する部分を除去する。この除去は例えばフォトレジスト膜をマスクとする選択的エッチングにより行う。

【0016】(D) 次に、不純物のイオン打込みによ

5

り、図2 (D) に示すように、アモルファスシリコン層8の上半分をp型領域8pに、下半部をn型領域8nにす。即ち、エネルギーと導電型を変えた不純物のイオン打込みによりシリコン層8の上半部にはp型不純物を打込み、下半部にはn型不純物を打込む。これにより各スルーホール7、7、…に接合ダイオードが形成される。

(E) 次に、図2 (E) に示すように層間絶縁膜6及び接合ダイオード上に第2の層間絶縁膜9を形成する。そして、この状態で記憶内容の決定を待つのである。

【0017】次に、記憶内容の決定後の工程について図3 (A)、(B) に従って説明する。

(A) 第2の層間絶縁膜9に対して選択的エッチングを施すことにより図3 (A) に示すように、記憶内容に応じた交点の位置にスルーホール10を形成して、その交点に位置するダイオードのp型領域8pを露出させる。同時に、ロジック回路部分の必要箇所、即ち第1層アルミニウム配線膜5と第2層アルミニウム配線膜11とを導通させるべき箇所にもスルーホール10、7を形成する。

【0018】従って、すべてダイオードがp型領域8pを露出せしめられるわけではなく、記憶内容に応じてワード線とビット線との間に導通が必要となった交点のダイオードのみがp型領域8pを露出せしめられることになる。

(B) その後、図3 (B) に示すようにビット線を成す第2層目のアルミニウム配線膜11をアルミニウムのスパッタリング、選択的エッチングにより形成する。

【0019】このように、本読出し専用メモリによれば、ビット線を成すアルミニウム配線膜5とワード線を成すアルミニウム配線膜11の交点となる全箇所にダイオードを形成し、そのダイオードの形成後に第2の層間絶縁膜9を形成し、この層間絶縁膜9にスルーホール10を形成してビット線11とダイオードとを接続したり、スルーホール10を形成せずビット11とダイオードとの間とを非接続することにより記憶をするので、記憶内容決定前までにダイオードを形成し、更に第2の層間絶縁膜8を形成しておくことができる。

【0020】そして、記憶内容決定後に層間絶縁膜9にその記憶内容に従ってスルーホール10を形成し、その後第2層目のアルミニウム配線膜11を形成すれば読出し専用メモリが出来上る。従って、記憶内容決定後読出し専用メモリを完成させるに要する期間(TAT)を特開平1-185899号により紹介された技術に比較して著しく短縮することができる。

【0021】図4 (A)、(B) は本発明読出し専用メモリの各別の変形例を示す断面図で、(A) は第1の層間絶縁膜6のスルーホール7よりも第2の層間絶縁膜9のスルーホール10の方を小径にした変形例を示し、(B) は半導体層8を、その上部がスルーホール7の上

6

側及び外側に食み出すように形成した変形例を示す。

【0022】図5は本発明読出し専用メモリの別の実施例を示す断面図である。本実施例はダイオードとして接合ダイオードではなくショットキーダイオードを形成したものである。即ち、ビット線を成すアルミニウム配線膜5とスルーホール7内を埋めるアモルファスあるいは多結晶のn型のシリコン層8nとの間に形成されるショットキーバリアを利用したショットキーダイオードをワード線とビット線との間を接続するダイオードとして用いている。8nはシリコン層8nの上部に形成されたオーミックコンタクト層で、例えばn型不純物濃度を高くすることにより形成される。勿論、ショットキーバリアが半導体層8と配線膜5との間に形成され、オーミックコンタクトが半導体層8と配線膜5との間に形成されるようにも良い。このように、本発明は種々の態様で実施することができる。

【0023】

【発明の効果】以上に述べたように、本発明によれば、ワード線とビット線との交点となるすべての部分にダイオードを形成し、更にそれより上層の層間絶縁膜を形成した状態で記憶内容の決定を待ち、記憶内容の決定後、該層間絶縁膜の記憶内容に応じた交点のみエッチングすることによりスルーホールを形成し、その後金属配線膜を形成することにより読出し専用メモリの製造ができる。従って、記憶内容決定前にダイオードを形成しておくことができ、記憶内容の決定からメモリの完成までの期間の短縮を図ることができる。

【図面の簡単な説明】

【図1】(A) 乃至 (C) は本発明読出し専用メモリとその製造方法の一つの実施例を示すもので、(A) は回路図、(B) は概略構成平面図、(C) は断面図である。

【図2】(A) 乃至 (E) は図1に示す読出し専用メモリの製造方法の記憶内容決定待ちまでの工程を順に示す断面図である。

【図3】(A)、(B) は図1に示す読出し専用メモリの製造方法の記憶内容決定後の工程を順に示す断面図である。

【図4】(A)、(B) は読出し専用メモリの各別の変形例を示す断面図である。

【図5】本発明読出し専用メモリの別の実施例を示す断面図である。

【符号の説明】

1 基板

5 配線膜

6 第1の層間絶縁膜

7 ダイオードが形成されたスルーホール

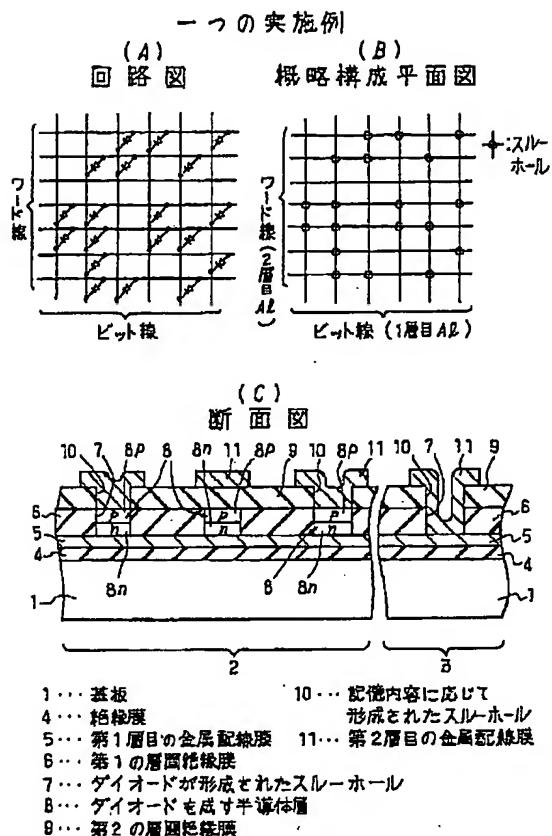
8 半導体層

9 第2の層間絶縁膜

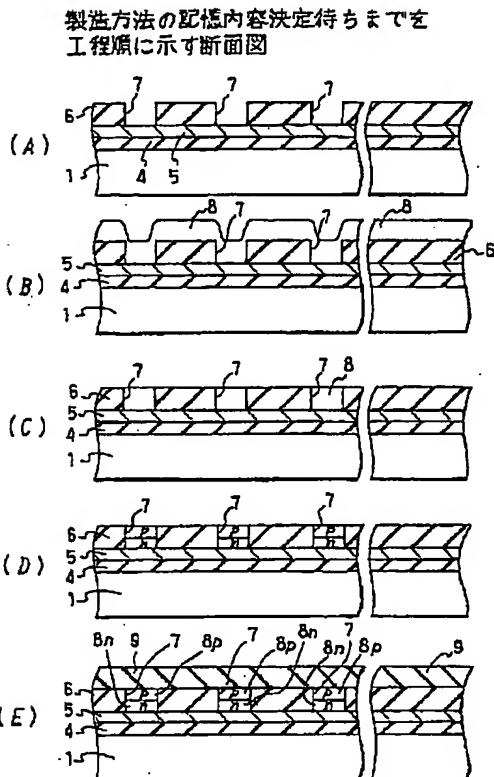
10 記憶内容に応じて形成されたスルーホール

11 金属配線膜

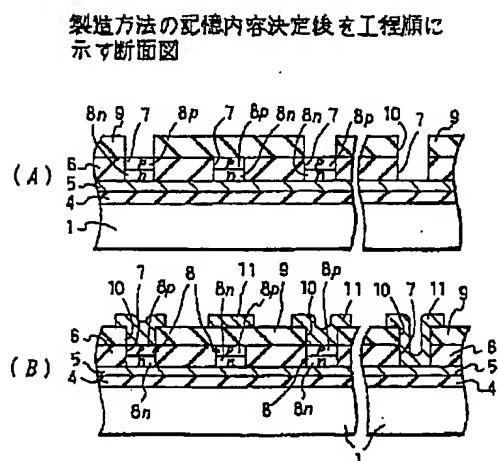
【図1】



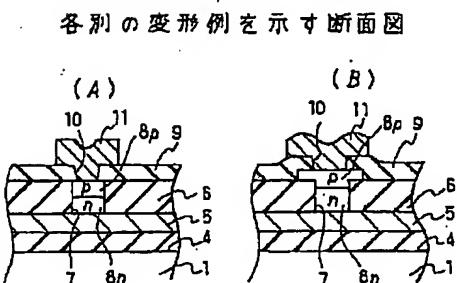
【図2】



【図3】



【図4】



【図5】

別の実施例を示す断面図

